



PATENT ABSTRACTS OF JAPAN RECEIVED

(11) Publication number :

SEP 30 2002
09-069752

(43) Date of publication of application : 28.09.1997

(51) Int. Cl.

H03H 11/04

(21) Application number : 08-171851

(71) Applicant : SONY CORP

(22) Date of filing : 10.06.1996

(72) Inventor : SHOJI NORIO

YONEZAWA KATSUYUKI

(30) Priority

Priority
number :

07179504

Priority
date :

21.06.1995

Priority
country :

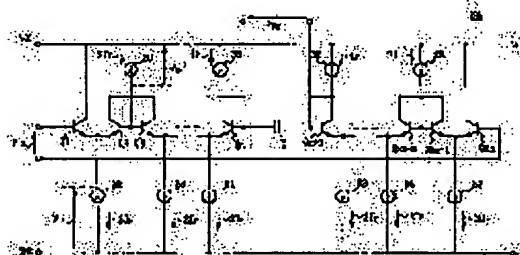
JP

(54) FILTER CIRCUIT AND ELECTRONIC EQUIPMENT

(57) Abstract:

PROBLEM TO BE SOLVED: To miniaturize a circuit scale and to realize a wide dynamic range with a low minimum operation voltage by connecting a capacitor, which takes out a signal component in a prescribed band, in series to first and second specific diodes.

SOLUTION: A primary filter 24 has a first differential pair consisting of a first transistor TR Q1 and a TR Q2 as a first diode and a second differential pair composed of a second TR Q2n and a TR Q2n-1 as a second diode. A capacitor C which takes out the signal component in the prescribed band from both ends is connected in series to the first diode Q2, which is always made conductive by a second current source 26 only for diode, of the first differential pair, to which one of differential input signals is given, and the second diode Q2n-1, which is always made conductive by a fourth current source 28 only for diode, of the second differential pair to which the other signal is given.



LEGAL STATUS

[Date of request for examination]

12.06.2001

[Date of sending the examiner's
decision of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-69752

(43) 公開日 平成9年(1997)3月11日

(51) Int. Cl.⁴

H03H 11/04

特許記号

庁内整理番号

8731-5J

F I

H03H 11/04

技術表示箇所

D

審査請求 未請求 請求項の数 6 F D (全 15 頁)

(21) 出願番号 特願平8-171851

(22) 出願日 平成8年(1996)6月10日

(31) 優先権主張番号 特願平7-179504

(32) 優先日 平7(1995)6月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小路 法男

東京都品川区北品川6丁目7番35号ソニー

株式会社内

(72) 発明者 米沢 克行

東京都品川区北品川6丁目7番35号ソニー

株式会社内

(74) 代理人 弁護士 田辺 恵基

(54) 【発明の名称】 フィルタ回路及び電子機器

(57) 【要約】

【課題】 本発明は、フィルタ回路及びこれを用いた電子機器において、回路規模を小型化し得ると共に、最低動作電圧が従来に比して一段と低くかつダイナミックレンジを広くする。

【解決手段】 両端より所定帯域の信号成分を取り出すコンデンサを、差動入力信号の一方の入力信号が与えられる第1の差動対のうちダイオード専用の第2の電流源によつて常に導通している第1のダイオードと、他方の入力信号が与えられる第2の差動対のうちダイオード専用の第4の電流源によつて常に導通している第2のダイオードとに直列に接続する。

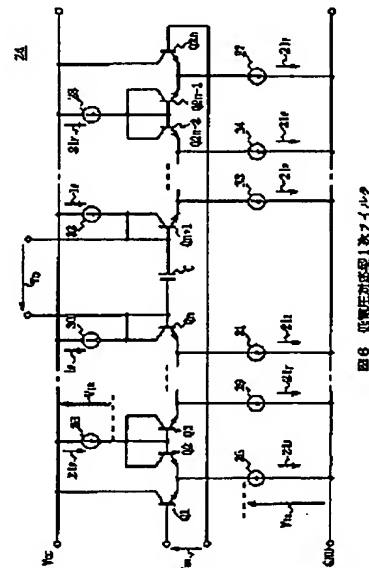


図6 低電圧動作型1次フィルタ

(2)

特開平9-69752

1

【特許請求の範囲】

【請求項1】入力端子に差動入力信号の一方の入力信号が与えられる第1のトランジスタと、上記第1のトランジスタのエミッタと直列に接続されて上記第1のトランジスタと差動動作する第1のダイオードとでなる第1の差動対と、

上記第1のトランジスタのエミッタと第1の電源との間に介挿されて少なくとも上記第1のトランジスタを駆動する第1の電流源と、

上記第1のダイオードと第2の電源との間に介挿され上記第1のダイオードを常に導通させる第2の電流源と、
入力端子に上記差動入力信号の他方の入力信号が与えられる第2のトランジスタと、上記第2のトランジスタのエミッタと直列に接続されて上記第2のトランジスタと差動動作する第2のダイオードとでなる第2の差動対と、

上記第2のトランジスタのエミッタと上記第1の電源との間に介挿されて少なくとも上記第2のトランジスタを駆動する第3の電流源と、

上記第2のダイオードと上記第2の電源との間に介挿され上記第2のダイオードを常に導通させる第4の電流源と、

上記第1及び第2のトランジスタのそれぞれのエミッタ間に上記第1及び第2のダイオードと直列に接続され、両端より所定帯域の信号成分を取り出すコンデンサとを具えることを特徴とするフィルタ回路。

【請求項2】第3のダイオードを上記第1のダイオードと上記第2のダイオードとの間に直列に接続することを特徴とする請求項1に記載のフィルタ回路。

【請求項3】複数の上記第3のダイオードが、上記コンデンサを中心として対称に配置されていることを特徴とする請求項2に記載のフィルタ回路。

【請求項4】第4のダイオードを、上記第1のトランジスタのエミッタと上記第1のダイオードとの間に、及び上記第2のトランジスタのエミッタと上記第2のダイオードとの間に直列に接続することを特徴とする請求項1に記載のフィルタ回路。

【請求項5】差動入力信号を与えたフィルタ回路において抽出された所定帯域の信号成分に基づいて信号処理する処理回路を有する電子機器において、

上記フィルタ回路に、

入力端子に差動入力信号の一方の入力信号が与えられる第1のトランジスタと、上記第1のトランジスタのエミッタと直列に接続されて上記第1のトランジスタと差動動作する第1のダイオードとでなる第1の差動対と、

上記第1のトランジスタのエミッタと第1の電源との間に介挿されて少なくとも上記第1のトランジスタを駆動する第1の電流源と、

上記第1のダイオードと第2の電源との間に介挿され上記第1のダイオードを常に導通させる第2の電流源と、

2

入力端子に上記差動入力信号の他方の入力信号が与えられる第2のトランジスタと、上記第2のトランジスタのエミッタと直列に接続されて上記第2のトランジスタと差動動作する第2のダイオードとでなる第2の差動対と、

上記第2のトランジスタのエミッタと上記第1の電源との間に介挿されて少なくとも上記第2のトランジスタを駆動する第3の電流源と、

上記第2のダイオードと上記第2の電源との間に介挿され上記第2のダイオードを常に導通させる第4の電流源と、

上記第1及び第2のトランジスタのそれぞれのエミッタ間に上記第1及び第2のダイオードと直列に接続され、両端より所定帯域の信号成分を取り出すコンデンサとを具えることを特徴とする電子機器。

【請求項6】記録媒体から情報を再生する再生ヘッドと、

上記抽出された所定帯域の信号成分を信号変換し、データを再生するデコーダとを有することを特徴とする請求項5に記載の電子機器。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態

(1) 2次フィルタ

(1-1) 基本構成(1次フィルタ)

(1-2) ステート・バリアブル・フィルタ(2次フィルタ)

(2) 実施例によるダイナミックレンジ拡大型1次フィルタ

(2-1) 基本構成

(2-2) 低電源電圧対応型1次フィルタ

(2-3) 低消費電力型1次フィルタ

(3) 応用装置例

(4) 他の実施例

40 発明の効果

【0002】

【発明の属する技術分野】本発明はフィルタ回路に関する。特に低電圧動作及び広いダイナミックレンジが要求されるものに用いて好適なものである。

【0003】

【従来の技術】図9に1次ローパスフィルタの回路例を示し、この1次フィルタに用いられている差動積分器の構成を図10に示す。この差動積分器1は差動入力段及び差動出力段によつて構成されている。差動入力段は、差動対のトランジスタQ1及びQ2と、ダイナミックレ

(3)

特開平9-69752

ンジを拡大する2つの抵抗 R_1 と、定電流 I_1 を差動対に供給する定電流源2とで構成され、入力電圧 V_{in} を差動電流に変換する。

【0004】差動出力段は、基準電圧源 V_{ref} と、ダイオード D_1 及び D_2 と、差動対のNPN形トランジスタ Q_3 及び Q_4 と、負荷のPNP形トランジスタ P_1 及び P_2 と、定電流 I_1 を差動対に供給する定電流源3とでギルバートマルチプライヤに構成されている。差動出力*

*段は、差動入力段より得た差動電流を増幅して差動出力電流 $\pm I_1$ を生成し、この差動出力電流 $\pm I_1$ を2つのコンデンサ C のそれぞれの一端に充電する。これにより、2つのコンデンサ C のそれぞれの一端の間から出力電圧 V_o が取り出される。

【0005】このとき差動積分器1の電圧電流変換係数 g_m は、次式

【数1】

$$g_m = \frac{i_o}{V_{in}} = \frac{r_{e1}}{r_{e1} + R} \times \frac{1}{2 r_{e2}}$$

$$\text{ただし } r_{e1} = \frac{2 V_T}{I_1}, r_{e2} = \frac{2 V_T}{I_2} \quad \dots\dots (1)$$

で与えられる。出力電圧 V_o は、複素角周波数を s として、次式

$$\begin{aligned} V_o &= \frac{r_{e1}}{r_{e1} + R} \times \frac{1}{2 r_{e2}} \times \frac{2}{s C} \\ &= \frac{r_{e1}}{(r_{e1} + R) r_{e2} \cdot C} \times \frac{1}{s} \quad \dots\dots (2) \end{aligned}$$

と表すことができる。これにより、図9に示した1次ローパスフィルタの伝達関数 $H (= V_o / V_{in})$ は、次式★

$$H = \frac{V_o}{V_{in}} = \frac{\frac{2 g_m}{C}}{s + \frac{2 g_m}{C}} \quad \dots\dots (3)$$

で与えられる。

【0006】

【発明が解決しようとする課題】ところで、上述の従来の1次フィルタは、トランジスタ Q_3 及び Q_4 のコレクタ電圧を安定化させるためコモンモードフィードバック回路4が必要であつた。また1次フィルタ全体の素子数も多く、チップ面積が大型化する問題もあつた。同様に、2次フィルタは、積分器 $(1/s)$ を有する上述の1次フィルタを複数必要とすることにより、同様の問題を避けることができなかった。

【0007】ところで、近年、電子機器を小型の電池による低電圧電源で使用することが所望されている。このため電子機器で使用するフィルタも低電圧電源で使用するものが所望されている。ところが、上述の1次フィルタは、コモンモードフィードバック回路4をもつと共に、トランジスタ P_1 、 P_2 とトランジスタ Q_3 及び Q_4 とが電源に対して直列に接続されている。このため低電圧電源での使用に十分に対応することが困

難であるという問題があつた。

【0008】本発明は以上の点を考慮してなされたもので、回路規模を小型化し得ると共に、最低動作電圧が低くダイナミックレンジが広いフィルタ回路及びこれを用いた電子機器を提案しようとするものである。

【0009】

【課題を解決するための手段】かかる課題を解決するため本発明においては、入力端子に差動入力信号の一方の入力信号が与えられる第1のトランジスタと、第1のトランジスタのエミッタと直列に接続されて第1のトランジスタと差動動作する第1のダイオードとでなる第1の差動対と、第1のトランジスタのエミッタと第1の電源との間に介挿されて少なくとも第1のトランジスタを駆動する第1の電流源と、第1のダイオードと第2の電源との間に介挿され第1のダイオードを常に導通させる第2の電流源と、入力端子に差動入力信号の他方の入力信号が与えられる第2のトランジスタと、第2のトランジスタのエミッタと直列に接続されて第2のトランジスタ

(4)

特開平9-69752

5

6

と差動動作する第2のダイオードとでなる第2の差動対と、第2のトランジスタのエミッタと第1の電源との間に介挿されて少なくとも第2のトランジスタを駆動する第3の電流源と、第2のダイオードと第2の電源との間に介挿され第2のダイオードを常に導通させる第4の電流源と、第1及び第2のトランジスタのそれぞれのエミッタ間に第1及び第2のダイオードと直列に接続され、

両端より所定帯域の信号成分を取り出すコンデンサとを設ける。
 【0010】両端より所定帯域の信号成分を取り出すコンデンサを、差動入力信号の一方の入力信号が与えられる第1の差動対のうちダイオード専用の第2の電流源によつて常に導通している第1のダイオードと、他方の入力信号が与えられる第2の差動対のうちダイオード専用の第4の電流源によつて常に導通している第2のダイオードとに直列に接続することにより、回路規模を小型化し得ると共に、最低動作電圧が従来に比して一段と低くかつダイナミックレンジが広いフィルタ回路及びこれを用いた電子機器を実現することができる。

【0011】また本発明においては、差動入力信号を与えたフィルタ回路において抽出された所定帯域の信号成分に基づいて信号処理する処理回路を有する電子機器において、フィルタ回路に、入力端子に差動入力信号の一方の入力信号が与えられる第1のトランジスタと、第1のトランジスタのエミッタと直列に接続されて第1のトランジスタと差動動作する第1のダイオードとでなる第1の差動対と、第1のトランジスタのエミッタと第1の電源との間に介挿されて少なくとも第1のトランジスタを駆動する第1の電流源と、第1のダイオードと第2の電源との間に介挿され第1のダイオードを常に導通させる第2の電流源と、入力端子に差動入力信号の他方の入力信号が与えられる第2のトランジスタと、第2のトランジスタのエミッタと直列に接続されて第2のトランジスタと差動動作する第2のダイオードとでなる第2の差動対と、第2のトランジスタのエミッタと第1の電源との間に介挿されて少なくとも第2のトランジスタを駆動する第3の電流源と、第2のダイオードと第2の電源との間に介挿され第2のダイオードを常に導通させる第4の電流源と、第1及び第2のトランジスタのそれぞれのエミッタ間に第1及び第2のダイオードと直列に接続さ

＊れ、両端より所定帯域の信号成分を取り出すコンデンサとを設ける。

【0012】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0013】(1) 2次フィルタ

(1-1) 基本構成(1次フィルタ)

図10との対応部分に同一符号を付して示す図1において、5は全体として1次フィルタを示し、本発明に係る2次フィルタに使用される。この1次フィルタ5は、差動対と、ダイオードと、電流源と、コンデンサとによつて構成されている。1次フィルタ5は、差動対とダイオードとの接続中点より高域通過特性の差動信号S1を出力する。また1次フィルタ5は、差動対とこの差動対を駆動する電流源6及び7との接続中点より低域通過特性の差動信号S2を出力する。

【0014】続いて、これら各部の具体的な構成を説明する。差動対は、一対のトランジスタQ1及びQ2であり、トランジスタQ1及びQ2のベースに差動信号S3が入力される。ダイオードは、ベースとコレクタが短絡されたいわゆるダイオード接続されたトランジスタQ3及びQ4であり、トランジスタQ3及びQ4のそれぞれのエミッタが差動対のトランジスタQ1及びQ2のコレクタに接続されている。トランジスタQ3及びQ4のそれぞれのコレクタは電源電圧V_{cc}に接続されている。

【0015】電流源は、定電流源6及び7によつてなる。定電流源6及び7は、差動対のトランジスタQ1及びQ2のそれぞれのエミッタと接地ラインGND間に介挿されており、トランジスタQ1及びQ2にそれぞれ定電流I₁を供給する。コンデンサCは差動対を構成するトランジスタQ1及びQ2のエミッタ間に接続されている。

【0016】以上の構成において、1次フィルタ5のそれぞれの出力端よりそれぞれの周波数特性の出力が得られることを説明する。まずローパスフィルタ特性が得られることを説明する。今、差電圧V_{in}の差動信号S3が入力されたとき、コンデンサCに電流i_cが流れる。電流i_cは、差動対のトランジスタQ1及びQ2のエミッタ抵抗をr_e(=V_T/I)とすると、次式

【数4】

..... (4)

$$i_c = \frac{V_{in}}{2r_e + \frac{1}{sC}}$$

として求められる。

【0017】従つて、トランジスタQ1及びQ2のエミ

ッタ間に発生する差電圧V_oは、次式

【数5】

(5)

特開平9-69752

8

$$V_L = \frac{1}{sC} i_L = \frac{\frac{1}{sC}}{2r_e + \frac{1}{sC}} V_{IN}$$

$$= \frac{\frac{1}{2r_e C}}{s + \frac{1}{2r_e C}} \cdot V_{IN} \quad \dots (5)$$

として求められる。このとき $1/2r_e C$ を ω_c とおく *【数6】

と、差電圧 V_{IN} と差電圧 V_L との比は、次式 *

$$\frac{V_L}{V_{IN}} = \frac{\omega_c}{s + \omega_c} \quad \dots (6)$$

となる。以上より差動対と電流源との接続中点からカットオフ周波数 f_c を $\omega_c/2\pi$ とする1次ローパスフィルタ特性の差動信号S2が得られることが分かる。 * 電圧 V_{IN} の差動信号S3が入力されたときにトランジスタQ3及びQ4に流れる電流 i_1 は電流 i_1 と等しくなる。このときトランジスタQ1及びQ2のコレクタに発生する差動信号S1の差電圧 V_N は、次式

【0018】続いてハイパスフィルタ特性が得られることを説明する。今、電流増幅率 β を無限大とすると、差※【数7】

$$\begin{aligned} V_N &= V_{Q3E} - V_{Q3C} \\ &= (V_{CC} + i_N r_e) - (V_{CC} - i_N r_e) \\ &= 2r_e i_N \\ &= 2r_e i_L \\ &= \frac{2r_e}{2r_e + \frac{1}{sC}} V_{IN} \\ &= \frac{s}{s + \frac{1}{2r_e C}} V_{IN} = \frac{s}{s + \omega_c} V_{IN} \quad \dots (7) \end{aligned}$$

として求められる。

★求めると、次式

【0019】従つて、差電圧 V_{IN} と差電圧 V_N との比を★【数8】

$$\frac{V_N}{V_{IN}} = \frac{s}{s + \omega_c} \quad \dots (8)$$

が得られる。以上より差動対とダイオードとの接続中点からカットオフ周波数 f_c を $\omega_c/2\pi$ とする1次ハイパスフィルタ特性の差動信号S1を得ることができることが分かる。困みに、定電流源6及び7が供給する電流

(6)

特開平9-69752

9

10

1. に応じてエミッタ抵抗 r_e の値を調整することができる。これにより、カットオフ周波数 f_c を任意に調整することができる。

【0020】以上の構成によれば、NPN形トランジスタだけで構成することができることにより製造プロセスが従来に比して一段と少なく済む1次フィルタを実現することができる。また回路内の全信号が差動信号であることにより、電源電圧変動や外部雑音の影響を受け難い1次フィルタを実現することができる。さらに従来型フィルタのようにコモンモードフィードバック回路4を設けなくても良いことにより、回路構成を一段と小型化できると共に、素子数も一段と少なく済む1次フィルタを実現することができる。

【0021】(1-2) ステート・バリエブル・フィルタ(2次フィルタ)

続いて、2次フィルタの回路構成を説明する。図2は2次フィルタ8のブロック構成を示す。この2次フィルタ*

$$V_A = A_1 V_{IN} - A_2 V_L$$

【数10】

$$V_L = \left[\frac{\omega_c}{s + \omega_c} \right]^2 V_A$$

が成り立つ。

※次式

【0023】ここで(10)式に(9)式を代入すると、※ 【数11】

$$V_L = \left[\frac{\omega_c}{s + \omega_c} \right]^2 (A_1 V_{IN} - A_2 V_L)$$

$$\left\{ 1 + A_2 \left[\frac{\omega_c}{s + \omega_c} \right]^2 \right\} V_L = A_1 \left[\frac{\omega_c}{s + \omega_c} \right]^2 V_{IN}$$

..... (11)

の関係が得らる。この(11)式から伝達関数 H_L を求め ★ 【数12】
ると、次式

$$\begin{aligned} H_L &= \frac{V_L}{V_{IN}} = \frac{A_2 \left[\frac{\omega_c}{s + \omega_c} \right]^2}{1 + A_2 \left[\frac{\omega_c}{s + \omega_c} \right]^2} \\ &= \frac{A_1 \omega_c^2}{s^2 + 2\omega_c s + (1 + A_2) \omega_c^2} \end{aligned} \quad \text{..... (12)}$$

のように2次ローパスフィルタ特性であることが分かる。因に共振角周波数 ω_0 とクオリティファクタ Q は、

次式

【数13】

* 8は、前項で説明した1次フィルタ5より得た1次ローパスフィルタブロックL1及びL2と、1次ハイパスフィルタブロックH1、H2及びH3とを組み合わせて構成されている。因に、図2に示した $\omega_c / (s + \omega_c)$ のブロックは1次ローパスフィルタを表し、 $s / (s + \omega_c)$ のブロックは1次ハイパスフィルタを表す。またA1及びA2はそれぞれA1倍の増幅器及びA2倍の増幅器を表す。

【0022】以上の構成において、2次フィルタ8が3種類の出力をもつ2次フィルタになることを説明する。まず2段の1次ローパスフィルタブロックL1及びL2を介して出力される出力信号の特性が2次ローパスフィルタ特性となることを説明する。さて、加算器の出力電圧を V_A とし、1次ローパスフィルタブロックL2の出力電圧を V_L とすると、2つの出力電圧 V_A 及び V_L には、次式

【数9】

..... (9)

..... (10)

(7)

特開平9-69752

$$\omega_o = \sqrt{\frac{11}{1+A_2}} \omega_c$$

12

..... (13)

【数14】

$$Q = \frac{\omega_o}{2\omega_c} = \frac{\sqrt{1+A_2}}{2}$$

..... (14)

で与えられる。このことから増幅器A2の利得を調整することによりこれらの値を調整できることが分かる。

10 と、

【0024】同様に1次ローパスフィルタブロックL1及び1次ハイパスフィルタブロックH1を介して出力さ*

【数15】

$$H_s = \frac{A_1 \omega_c s}{s^2 + 2\omega_c s + (1+A_2)\omega_c^2}$$

..... (15)

となる。これらより出力電圧V_oが2次バンドパスフィルタ特性となることが分かる。図に共振角周波数ω_c及びクオリティファクタQについてはそれぞれ(13)式及び(14)式と同じである。

※【0025】同様に、2段の1次ハイパスフィルタブロックH2及びH3を介して出力される出力電圧をV_oとしてその伝達関数H_oを求めると、

【数16】

$$H_K = \frac{A_1 s^2}{s^2 + 2\omega_c s + (1+A_2)\omega_c^2}$$

..... (16)

となり、2次ハイパスフィルタ特性となることが分かる。この特性を有する2次フィルタ8の具体的な回路構成例を図3及び図4に示す。図3に示した回路と図4に示した回路とは、前者がトランジスタにNPN型バイポーラトランジスタを用い、後者がNチャネル型電界効果トランジスタを用いることが異なる。

【0026】さて具体例として示した回路はそれぞれ5つのブロックB1～B5によつて構成されている。ブロックB2～B4は1次フィルタであり、図1に示した1次フィルタ5と同様に構成されている。図に、ブロックB2は図2に示した1次ローパスフィルタブロックL1及び1次ハイパスフィルタブロックH2に対応している。ブロックB3は図2に示した1次ハイパスフィルタブロックH3に対応している。ブロックB4は図2に示した1次ローパスフィルタブロックL2及び1次ハイパスフィルタブロックH1に対応している。ブロックB1は増幅器A1及び加算器に対応している。ブロックB5は増幅器A2に対応している。

【0027】ここでブロックB5は、ローパスフィルタブロックL2の出力に応じた大きさの差動電流を、ブロックB1の差動対とそれぞれの負荷抵抗R2との接続中点から引き出している。これにより、ブロックB5は、入力電圧V_{in}をA1倍した電圧と出力電圧V_oをA2倍した電圧とを加算した電圧を抵抗R2に発生させていることになる。

【0028】図に、この回路構成の場合、増幅器A1の利得G1はR2/(R1+V_r/I_a)となり、増幅器A2の利得G2はR2/(R3+V_r/I_a)となる。

40 (2-1)基本構成

次に、図1の1次フィルタ5に対してダイナミックレンジをn倍に拡大した1次フィルタの構成例を図5に示す。この1次フィルタ20も基本構成が図1に示した1次フィルタ5と同様であり、差動対と、ダイオードと、電流源と、コンデンサとの4つの素子で構成されている。

【0031】相違点は2つある。第1の相違点は、ダイオード接続されたn-2個のトランジスタQ2、Q21……Qn、Qn1が、差動対を構成するトランジスタQ1及びQ11のエミッタと定電流源21及び22との間

(8)

特開平9-69752

13

に直列に接続されていることである。第2の相違点は、定電流源21及び22が図1の定電流源6及び7に比してn倍の電流nIを差動対のトランジスタQ1及びQ11にそれぞれ供給することである。

【0032】ここで(5)式を参考にすると、1次ファイ

$$H = \frac{V_o}{V_{in}} = \frac{\frac{1}{sC}}{2nr_e + \frac{1}{sC}} \quad \dots\dots (17)$$

となる。因に、それぞれのエミッタ抵抗 r_e の値は V_T/nI で与えられる。これにより、この値を(17)式に※

$$H = \frac{\frac{1}{sC}}{2n \cdot \frac{V_T}{nI} + \frac{1}{sC}}$$

$$= \frac{\frac{I}{2CV_T}}{s + \frac{1}{2CV_T}} = \frac{\omega_c'}{s + \omega_c'} \quad \dots\dots (18)$$

となり、ローパスフィルタ特性を示すことが分かる。

【0033】ところで(18)式中の ω_c' の値を与えるパラメータ V_T/I の値は、図1の回路におけるエミッタ抵抗 r_e と同じである。これにより、図5に示した1次フィルタ20の ω_c' と、図1に示した1次フィルタ5の ω_c とは同じ値であることが分かる。従って1次フィルタ5と1次フィルタ20とはカットオフ周波数 f_c が同一になる。すなわち、差動対を構成するトランジスタQ1及びQ11のそれぞれのベースとコンデンサCとの間に接続されるエミッタ抵抗 r_e の数が1次フィルタ5のn倍となつてダイナミックレンジがn倍になることを除いて、1次フィルタ20の他の特性は1次フィルタ5と同じであることが分かる。

【0034】以上の構成によれば、図1の1次フィルタ5に比してダイナミックレンジがn倍の1次フィルタ20を得ることができる。また上述の1次フィルタ5と同様、この1次フィルタ20は、NPN形トランジスタだけで構成することができることにより、製造プロセスを従来に比して一段と簡略化することができる。また1次フィルタ20は、差動回路で構成されていることにより、電源電圧変動や外部雑音の影響を受け難いという特徴を有する。また従来のフィルタのようにコモンモードフィードバック回路4を設けなくても良いことにより、回路構成も一段と小型化することができると共に、素子

14

*ルタ20の伝達関数 $H(=V_o/V_{in})$ は、差動対を構成するトランジスタQ1及びQ11のそれぞれのベースとコンデンサCとの間に接続されるエミッタ抵抗 r_e の数がそれぞれn個であることにより、次式

【数17】

※代入すると、次式

【数18】

数も一段と少なくて済む。

【0035】(2-2)低電源電圧対応型1次フィルタ
続いて、図1に示した1次フィルタ5に比してn倍のダイナミックレンジを有すると共に、図5に示した1次フィルタ20に比して低電源電圧で動作することができる1次フィルタの構成例を図6に示す。図6に示した1次フィルタ24は、第1のトランジスタとしてのトランジスタQ1と第1のダイオードとしてのダイオード接続されたトランジスタQ2とで構成された第1の差動対と、第2のトランジスタとしてのトランジスタQ2n及び第2のダイオードとしてのダイオード接続されたQ2n-1とで構成された第2の差動対とをもつ。また1次フィルタ24は、両端より所定帯域の信号成分を取り出すコンデンサCを中心として第1及び第2の差動対が対称に配置されていると共に、ダイオード接続されたトランジスタQ2及びQ2n-1とコンデンサCとが直列に接続されている。

【0036】さらに1次フィルタ24は、一端が接地ラインGNDに接続された第1の電流源としての定電流源25と、一端が電源電圧 V_{cc} に接続された第2の電流源としてのダイオード専用定電流源26と、一端が接地ラインGNDに接続された第3の電流源としての定電流源27と、一端が電源電圧 V_{cc} に接続された第4の電流源としてのダイオード専用定電流源28と、第3のダイオ

(9)

特開平9-69752

15

ードとしてのダイオード接続された $2n-4$ 個のトランジスタ $Q_3 \cdots Q_{2n-2}$ をもつ。

【0037】ダイオード接続されたトランジスタ Q_2 は、定電流 I_1 を供給する定電流源 25 及びダイオード専用定電流源 26 に接続されている。これにより、トランジスタ Q_2 は、定電流 I_1 がトランジスタ Q_1 と別個の経路で供給されて、常に導通状態に保たれている。またダイオード接続されたトランジスタ Q_{2n-1} は、定電流 $2I_1$ を供給する定電流源 27 及びダイオード専用定電流源 28 に接続されている。これにより、トランジスタ Q_{2n-1} は、定電流 I_1 がトランジスタ Q_{2n} と別個の経路で供給されて、常に導通状態に保たれている。

【0038】ダイオード接続された $2n-4$ 個のトランジスタ $Q_3 \cdots Q_{2n-2}$ は、ダイオード接続されたトランジスタ Q_2 及び Q_{2n-1} 間に直列に接続されていると共に、アノード同士又はカソード同士を隣り合わせて接続されている。またダイオード接続されたトランジスタ $Q_3 \cdots Q_{2n-2}$ は、定電流源 26 、 28 と、一端が電源電圧 V_{cc} 又は接地ライン GND に接続されて定電流 $2I_1$ 又は I_1 を供給するダイオード専用定電流源 $29 \sim 34$ *20

$$f_c = \frac{1}{2\pi \times 2n r_e C} = \frac{1}{4\pi n r_e C} \quad \cdots (19)$$

のようになる。

【0041】ここで、この1次フィルタ 24 が動作し得る最低の電源電圧 V_{cc} を求める。それぞれのトランジスタ $Q_1 \sim Q_{2n}$ のベースエミッタ間電圧を V_{be} とし、また※ $V_{cc} \geq V_{be} + V_{I1} + V_{I2}$

を満たすことである。一方、図5に示した1次フィルタ 20 が動作するのに必要な電源電圧 V_{cc} の条件は、次式★30

$$V_{cc} \geq n V_{be} + V_{I1} + V_{I2} \quad \cdots (21)$$

を満たすことであつた。これにより、1次フィルタ 24 は、1次フィルタ 20 に比して $(n-1)V_{be}$ だけ低い電源電圧で動作することが分かる。

【0042】以上の構成によれば、両端より所定帯域の信号成分を取り出すコンデンサ C を、第1の差動対のうちダイオード接続されダイオード専用定電流源 26 によつて常に導通しているトランジスタ Q_2 と、第2の差動対のうちダイオード接続されダイオード専用定電流源 28 によつて常に導通しているトランジスタ Q_{2n-1} とに直列に接続すると共に、ダイオード接続されダイオード専用定電流源 26 、 28 、 $29 \sim 34$ によつて常に導通している $(2n-4)$ 個のトランジスタ $Q_3 \cdots Q_{2n-2}$ をトランジスタ Q_2 及び Q_{2n-1} に直列に接続することにより、最低動作電圧が従来に比して一段と低くかつダイナ

16

*とに接続されている。これにより、ダイオード接続されたトランジスタ $Q_3 \cdots Q_{2n-2}$ は、それぞれ定電流 I_1 が第1及び第2の差動対と別個の経路で供給されて、常に導通状態に保たれていると共に、隣り合うもの同士、例えば Q_2 及び Q_3 が差動動作する。

【0039】これにより、この1次フィルタ 24 は、差動対を構成するトランジスタ Q_1 及び Q_{2n} のベースとコンデンサ C の電極間にエミッタ抵抗 r_e がそれぞれ n 個直列に接続された状態と等価であると言える。すなわち、図5に示した1次フィルタ 20 と等価であるということができ、図1に示した1次フィルタ5に対してダイナミックレンジが n 倍になっていることが分かる。

【0040】従つてこの1次フィルタ 24 の伝達関数 H は(17)式によつて求められ、1次ローパスフィルタとなることが分かる。ただし1次フィルタ 24 では、トランジスタ $Q_1 \sim Q_{2n}$ に流れる電流の大きさがいずれも I_1 であることにより、エミッタ抵抗 r_e の値が V_{be}/I_1 となる。またこの1次フィルタ 24 のカットオフ周波数 f_c は(17)式より、次式

【数19】

※定電流源が動作する最低動作電圧を V_{I1} 及び V_{I2} とすると、1次フィルタ 24 が動作するのに必要な電源電圧 V_{cc} の条件は、次式

【数20】

$$\cdots (20)$$

★【数21】

$$\cdots (21)$$

ミックレンジが広い1次フィルタを実現することができる。また前述の1次フィルタ 20 と同様に、1次フィルタ 24 は、従来のコモンモードフィードバック回路4を設けなくても良いことにより、回路構成を一段と小型化することができると共に、素子数も一段と少なくて済む。

【0043】(2-3)低消費電力型1次フィルタ
続いて、図7を使用して、図6に示した1次フィルタ 24 に比して消費電力を低下させることができる1次フィルタ36の構成を説明する。この1次フィルタ36と1次フィルタ 24 との相違点は、第1の差動対と第1の高電流源としての定電流源 37 との間に第4のダイオードとしてのダイオード接続されたトランジスタ $Q_2 \cdots Q_n, Q_{n+1}, \cdots, Q_{2n}$ が直列に複数接続されていると

(10)

特開平9-69752

17

共に、第2の差動対と第3の電流源としての定電流源38との間に第4のダイオードとしてのダイオード接続されたトランジスタ Q_{12}, \dots, Q_{11} 、 Q_{12}, \dots, Q_{11} が直列に複数接続されていることである。

【0044】1次フィルタ36は、両端より所定帯域の信号成分を取り出すコンデンサCを中心として、第4及び第3のダイオードが対称に配置されている。すなわち、第1の差動対の第1のトランジスタとしてのトランジスタ Q_1 のエミッタと、第2の差動対の第2のトランジスタとしてのトランジスタ Q_{12}, \dots のエミッタとにそれぞれN-1個の第4のダイオードが接続されている。また第1及び第2のダイオードとしてのダイオード接続されたトランジスタ Q_{11} 、及び Q_{12}, \dots のエミッタと、定電流源37及び38との間にそれぞれM-1個の第4のダイオードが接続されている。

【0045】以下同様に、第3のダイオードとしてのダイオード接続されたトランジスタ Q_{11}, \dots 及び Q_{12}, \dots のエミッタと、ダイオード専用定電流源39及び40との間にそれぞれJ-1個の第3のダイオードが接続されている。また第3のダイオードとしてのダイオード接続されたトランジスタ Q_1 及び Q_{11}, \dots のエミッタと、ダイオード専用定電流源39及び40との間にそれぞれK-1個の第3のダイオードが接続されている。因に、それぞれのダイオードの数は自由に設定することができる。

【0046】ここで、1次フィルタ24で使用した第3のダイオードと同数の第3及び第4のダイオードを第1及び第2の差動対のトランジスタ Q_1 及び Q_{11}, \dots 間に接続する場合を考える。この場合、電源電圧 V_{cc} 側の複数のダイオード専用定電流源42~45と、接地ラインGND側の複数のダイオード専用定電流源39及び40とを1組のダイオードの個数N-1、M-1……に応じて減らすことができる。このようにダイオード専用定電流源39、40、42~45の数を減らすことができるということは消費電力を一段と削減することができることを意味する。因みに、この1次フィルタ36の伝達関数H及びカットオフ周波数 f_c の値はトランジスタの数を2n個とすると同一の値になる。

【0047】以上の構成によれば、図6の回路に比して消費電力を少なく済ませることができる1次フィルタを実現することができる。なおこの実施例の場合も前述の実施例にて説明したように、回路の小型化等について同様の効果を得ることができる。

【0048】(3) 応用装置例

最後に、上述の1次フィルタ24及び36又はこれにより構成した2次フィルタを用いた電子機器の例を説明する。図8は全体としてハードディスク装置48の再生系を示している。磁気ディスク装置48は、ハードディスク49の内周側から読み出される信号の周波数と外周側から読み出される信号の周波数とが異なることにより、それぞれの周波数に対応できるようにカットオフ周波数

18

f_c を切り換えるようになされている。このようにカットオフ周波数 f_c を切り換えるフィルタ部分に上述のフィルタを用いる。因みに、1次フィルタ24及び36を用いて2次フィルタを構成しても積分器が必要でないことにより回路構成を一段と簡単にすることができる。

【0049】さてハードディスク装置48はハードディスク49から磁気ヘッド50を介して再生された再生信号を記録/再生増幅器51において増幅し、ゲインコントロール増幅器52に出力する。ゲインコントロール増幅器52は出力信号の信号レベルが一定になるように増幅し、これをフィルタ53に出力する。

【0050】フィルタ53は、所定帯域の信号成分を抽出すると、これをピーク検波回路54及びゲインコントロール回路55に出力する。ゲインコントロール回路55は抽出された信号成分の信号レベルに基づいてゲインコントロール増幅器52の増幅度を決定し、これをゲインコントロール増幅器52に出力する。

【0051】一方、ピーク検波回路54は、抽出された信号成分をピーク検波し、これをデータ分離器56に出力する。データ分離器56は、ピーク検波された信号に基づいてデータを分離し、これをデコーダ回路57に与える。デコーダ回路57は、入力された信号をNRZ (non return to zero) 符号データに変換して出力する。この一連の動作を経てハードディスク装置48はデータを再生している。

【0052】以上の構成によれば、フィルタ53に1次フィルタ24及び36又は2次フィルタを用いたことにより、実装面積を一段と小型化することができるハードディスク装置を得ることができる。また低電源電圧駆動型のハードディスク装置や低消費電力型のハードディスク装置を実現することもできる。

【0053】(4) 他の実施例

なお上述の実施例においては、2次フィルタを1次フィルタ24、36で構成する場合について述べたが、本発明はこれに限らず、他の回路構成の場合にも適用し得る。いずれにせよ2次フィルタを1次フィルタによつて構成できることにより回路規模を小さくすることができる。また上述の実施例においては、1次フィルタ及び2次フィルタについて述べたが、本発明はこれに限らず、3次以上のフィルタにも適用し得る。

【0054】さらに上述の実施例においては、コンデンサCを中心として差動対、ダイオードを対称に配置する場合について述べたが、本発明はこれに限らず、コンデンサCを第1の差動対の第1のトランジスタのエミッタと、第2の差動対の第2のトランジスタのエミッタとの間の任意の位置に直列に接続する場合にも適用できる。但し、この場合も第1、第2、第3及び第4のダイオードは、コンデンサCの接続位置に係わらずダイオード専用定電流源によつて常に導通していることとする。

【0055】さらに上述の実施例においては、実施例の

(11)

特開平9-69752

19

20

フィルタを応用した装置例としてハードディスク装置について述べたが、本発明はこれに限らず、フィルタを必要とする全ての電子機器に広く用いることができる。

【0056】

【発明の効果】上述のように本発明によれば、両端より所定帯域の信号成分を取り出すコンデンサを、差動入力信号の一方の入力信号が与えられる第1の差動対のうちダイオード専用の第2の電流源によつて常に導通している第1のダイオードと、他方の入力信号が与えられる第2の差動対のうちダイオード専用の第4の電流源によつて常に導通している第2のダイオードとに直列に接続することにより、回路規模を小型化し得ると共に、最低動作電圧が従来に比して一段と低くかつダイナミックレンジが広いフィルタ回路及びこれを用いた電子機器を実現することができる。

【図面の簡単な説明】

【図1】本発明に係るフィルタ回路の基本構成を示す回路図である。

【図2】本発明に係るフィルタ回路の基本回路で構成した2次フィルタを示すブロック図である。

【図3】図2に示すブロック図の具体例を示す回路図である。

【図4】図2に示すブロック図の具体例を示す回路図で*

*ある。

【図5】本発明に係るフィルタ回路の基本構成を示す回路図である。

【図6】本発明に係るフィルタ回路の一実施例を示す回路図である。

【図7】本発明に係るフィルタ回路の一実施例を示す回路図である。

【図8】本発明に係る電子機器の一実施例を示す回路図である。

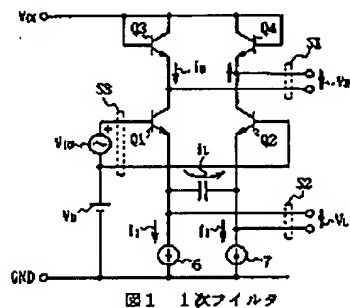
【図9】従来の1次ローパスフィルタを示すブロック図である。

【図10】差動積分器の構成を示す回路図である。

【符号の説明】

1……差動積分器、4……コモンモードフィードバック回路、5、20、24、36……1次フィルタ、2、3、6、7、9～18、21、22、25～34、37～46……定電流源、8……2次フィルタ、48……ハードディスク装置、49……ハードディスク、50……磁気ヘッド、51……記録／再生増幅器、52……ゲインコントロール増幅器、53……フィルタ、54……ピーク検波回路、55……ゲインコントロール回路、56……データ分離器、57……デコーダ回路。

【図1】



【図5】

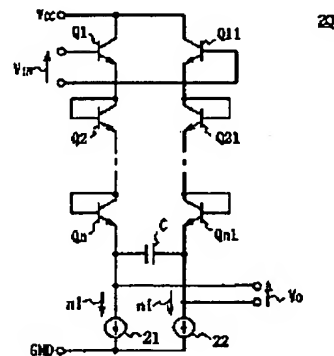


図5 ダイナミックレンジ広大型1次フィルタ

(12)

特開平9-69752

【図2】

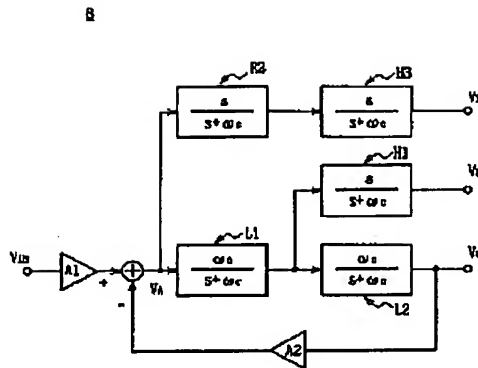


図2 2次フィルタ

【図9】

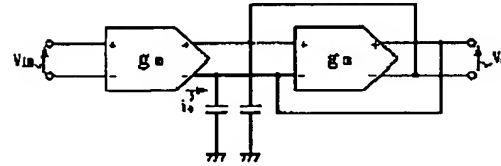


図9 1次ローパスフィルタ

【図3】

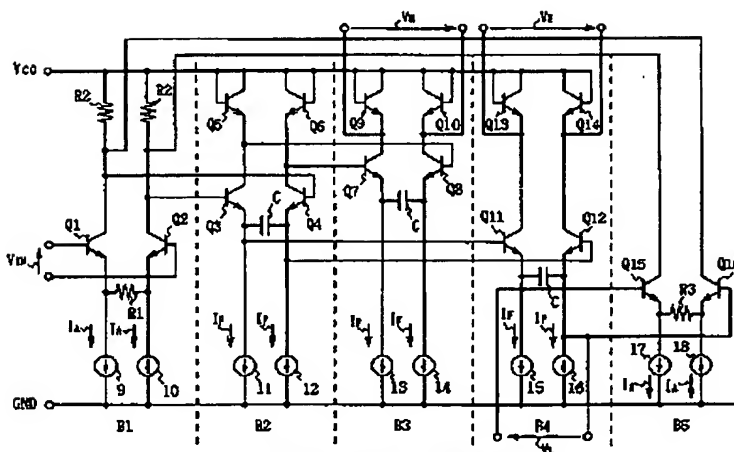


図3 2次フィルタの回路構成(1)

(13)

特開平9-69752

【図4】

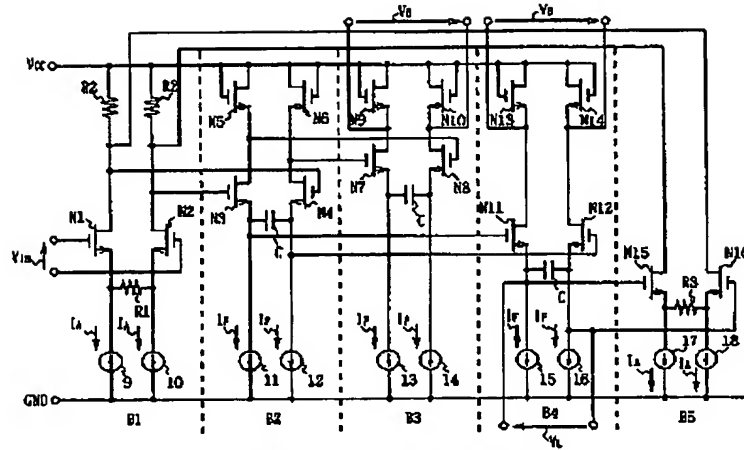


図4 2次フィルタの回路構成(2)

【図6】

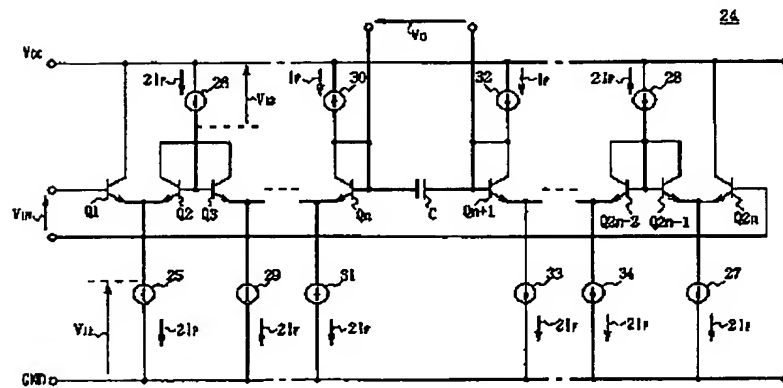


図6 低電圧対応型1次フィルタ

(14)

特開平9-69752

【図7】

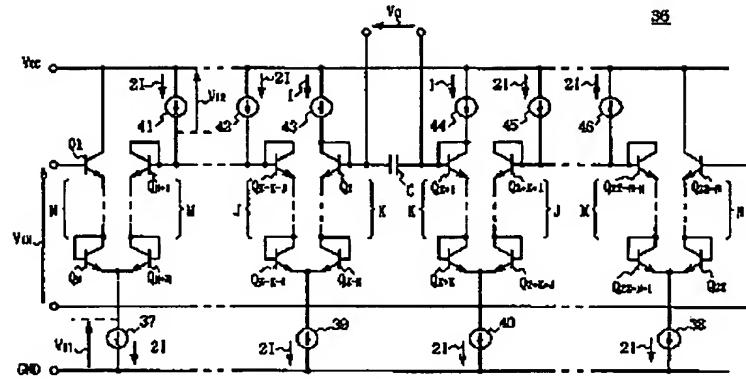


図7 低消費電力型1次フィルタ

【図8】

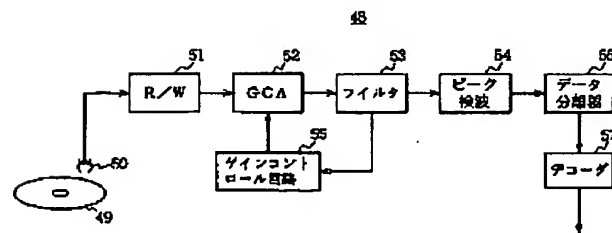


図8 ハードディスク装置の構成

(15)

特開平9-69752

【図10】

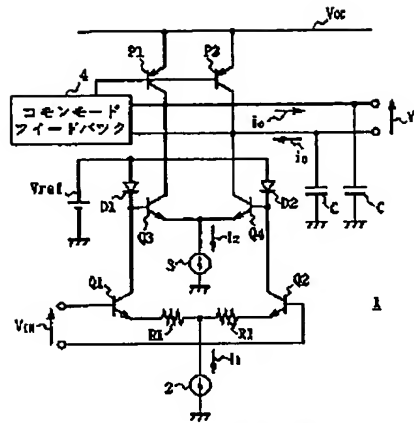


図10 差動増幅器の構成